

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-148865

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月7日

H 01 L 27/12  
29/784

7514-5F

8624-5F H 01 L 29/78 3 1 1 S

審査請求 未請求 請求項の数 1 (全24頁)

⑮ 発明の名称 ボディノードとソースノード間接続を含む絶縁物上シリコントランジスタ

⑯ 特 願 平1-175397

⑰ 出 願 平1(1989)7月6日

優先権主張 ⑱ 1988年7月8日 ⑲ 米国(U S) ⑳ 216932

㉑ 発 明 者 テランス ジー ダブ アメリカ合衆国 テキサス州 75243 グラス フェア  
リユー ブレイク オークス クロッシング 8850 アパートメント 2058  
㉒ 出 願 人 テキサス インストル アメリカ合衆国 テキサス州 グラス ノース セントラ  
メンツ インコーポレ ル エクスプレスウェイ 13500  
イテツド

㉓ 代 理 人 弁理士 中 村 稔 外7名  
最終頁に続く

明 細 書

1. 発明の名称 ボディノードとソースノード間  
接続を含む絶縁物上シリコント  
ランジスタ

ック接続で、該オーミック接続が前記第1接触領  
域と前記ソース領域上のリフラクトリ金属のシリ  
サイド膜からなる；  
を備えたトランジスタ。

2. 特許請求の範囲

絶縁膜上に位置する半導体層に形成されたトラ  
ンジスタにおいて：

前記半導体層のボディノード部に位置するゲ  
ート電極で、該ボディノード部が第1の導電形で、  
第1及び第2側面を有する；

前記半導体層のドレイン領域で、該ドレイン領  
域が第2の導電形で、前記ボディノード部の第1  
側面に隣接して配設されている；

前記半導体層のソース領域で、該ソース領域が  
前記第2の導電形で、前記ボディノード部の第2  
側面に隣接して配設されている；

前記半導体層の第1接触領域で、該第1接触領  
域が前記第1の導電形で、前記ボディノード部の  
第2側面に隣接して配設されている；及び

前記第1接触領域と前記ソース領域間のオーミ

## 3. 発明の詳細な説明

## (産業上の利用分野)

この発明は集積回路の分野に関し、特に絶縁物上シリコン(SOI)技術によって形成される絶縁ゲート電界効果トランジスタに関する。

## (従来の技術)

絶縁物上シリコン(SOI)技術は、集積回路の分野でますます重要になりつつある。SOI技術は、絶縁層の上に位置した半導体材料の層におけるトランジスタの形成を扱うもので、SOI構造の最も一般的な実例は、二酸化シリコンの層上に位置したシリコンの単結晶層である。SOI技術を使えば、バルク(基板)半導体に形成される集積回路で存在する寄生要素が減少されるため、高性能で高密度の集積回路が達成可能である。例えば、バルクに形成されるMOSトランジスタの場合、ソース/ドレイン領域と下側基板との間の接合に寄生キャパシタンスが存在し、ソース/ドレイン領域と基板領域との間の接合がブレイクダウン(絶縁破壊)する可能性も存在する。寄生要

素の別の例はバルク内CMOSの技術に存在し、隣接するウェル内のn-チャネルとp-チャネルトランジスタによって形成される寄生バイポーラトランジスタがラッチアップの問題を生じることがある。SOI構造は寄生要素を著しく軽減し、構造の接合絶縁破壊に対する耐性を高めるため、SOI技術は高性能で高密度の集積回路に極めて適する。

インーソース間電圧に対して安定なしきい電圧を与える。しかし、従来のSOIトランジスタは、ボディノードが下側の絶縁体膜によって基板から絶縁されているため、電気的に浮遊しているボディノード(すなわちゲート電極の下側に位置するボディ領域内の非空乏容積)を有する。充分なドレインーソース間バイアス下では、衝撃イオン化がドレインの近くに電子-正孔対を発生することがあり、その結果多数キャリアがボディノードへと移動する一方、少数キャリアがドレインへと移動するため、ボディノードとトランジスタのソースとの間に電圧差を生じる。この電圧差は実効しきい電圧を低下させ、ドレイン電流を増大して、よく知られた“キंक(よじれ)”効果を呈する。

また、SOIトランジスタの浮遊状ボディノードは、基板がゲートとなり、トランジスタの下側に位置した絶縁体膜がゲート誘電体となる寄生の“バックチャネル”トランジスタを与える。このバックチャネルは、絶縁体膜との境界面近くで、ボディノードに沿ったドレインーソース間のリー

ク路を与えることがある。さらに、誘電的に絶縁されたボディノードは、ボディノードとゲート間での容量結合及びボディノードとソース及びドレイン間でのダイオード結合を許容し、ボディノードをバイアスすることによってしきい電圧に影響を及ぼす。これらの各ファクタが、設計時と比べたトランジスタにおける望ましくない性能シフト、及びトランジスタ動作特性の不安定性増加をもたらすことがある。

## (発明が解決しようとする課題)

従ってこの発明の目的は、ソースノードに接続されたボディノードを有する、絶縁体上に位置した半導体領域中に形成される絶縁ゲート電界効果トランジスタを提供することにある。

この発明の別の目的は、最小の追加マスキング工程で作製可能な上記トランジスタを提供することにある。

この発明の別の目的は、ソース及びドレイン拡散のシリサイド(ケイ化物)クラディングに基づいて作製可能な上記トランジスタを提供することにある。

しかしながら、SOI構造における下側の絶縁体膜が、トランジスタ特性に対して幾つかの問題を引き起こしている。バルクトランジスタでは、電気接続が基板を介して、MOSトランジスタのボディ(本体)ノードに対して容易に行える。基板ノードにおける比較的一定のバイアスが、ドレ

この発明の別の目的は、トランジスタのソース及びドレインノードの仕様が最小のマスケレベル変更で反転可能な方法で製造されたボディソース間接続を持つ上記トランジスタを提供することにある。

この発明のさらに別の目的は、界面ドーパント拡散によるエッジリークが減少すると共に、イオン化放射への露出に基づくリークも減少した上記トランジスタを提供することにある。

この発明のさらに別の目的は、界面ドーパント拡散によるエッジリークが減少すると共に、イオン化放射への露出によるリークも減少した上記トランジスタを提供することにある。

この発明のさらに別の目的は、界面ドーパント拡散によるエッジリークが減少すると共に、イオン化放射への露出によるリークも減少した上記トランジスタを提供することにある。

発明の上記以外の目的及び利点は、この明細書及び添付の図面を参照することによって当業者には自明となろう。

技術により、ゲートの側面に沿って、トランジスタのソース側の低ドーブドレイン領域へと下方に延びる側壁酸化物フィラメントを設けた後、自己整合法で形成し得る。接触領域と（ゲート電極の下側に位置する）ボディノードは同じ導電形なので、接触領域はボディノードと電気的に接続されている。従って、ソース領域とボディノードー接触領域は、構造表面のシリサイド化によって一体に接続され、ソース領域をボディノードに接続することができる。トランジスタのソース側の低ドーブドレイン領域は表面でボディノードと接触領域の間に留まっているので、接触領域が表面でボディノードと接触される場合のように、トランジスタのチャネル幅が接触領域の幅によって減少されることはない。

#### (実施例)

第1及び2図を参照すると、従来技術によるn-チャネルSOIトランジスタが、それぞれ平面及び断面図で示してある。第2図に示されているように、このトランジスタは、シリコン基板2上

(課題を解決するための手段)

本発明は、絶縁体上シリコン型絶縁ゲート電界効果トランジスタとして実施化し得る。ソース及びドレインと反対の導電形の高（強）ドーブ接触領域が、ゲート電極のソース側でゲート電極に隣接して形成される。この領域は、注入及び拡散など周知の技術により、ゲート電極に対して自己整合法で形成し得る。接触領域と（ゲート電極の下側に位置する）ボディノードは同じ導電形なので、接触領域はボディノードと電気的に接続されている。従って、ソース領域とボディノードー接触領域は、構造表面のシリサイド化によって一体に接続され、ソース領域ボディノードに接続することができる。

発明の別の実施例は、傾斜接合を有する絶縁体上シリコン型絶縁ゲート電界効果トランジスタとして実施化し得る。ソース及びドレインと反対の導電形の高ドーブ接触領域が、ゲート電極のソース側で低（軽）ドーブのドレイン領域に隣接して形成される。接触領域は注入及び拡散など周知の

に形成された絶縁体膜4の上に位置する単結晶シリコンメサ5内に形成されている。絶縁体膜4は一般に二酸化シリコンである。絶縁体膜4上へのメサ5の形成は、SIMOX（注入酸素による分離）、酸素化多孔シリコン（FIPOS）、及び薄膜ゾーンー溶融再結晶化（ZMR）など数多い周知方法の任意の一つで行える。SIMOX法の一例は、Texas Instruments社に譲渡された1987年4月7日付け出願の米国特許第035,126号に記載されている。

然成長させた二酸化シリコン、被着した窒化シリコン、またはこれらの組合せなどのゲート絶縁体14が、単結晶メサ5の表面上に設けられている。通例高（強）ドーブの多結晶シリコンから形成されるゲート電極10がゲート絶縁体14上に位置し、第1及び2図のMOSトランジスタのゲートを画成している。ソース領域6とドレイン領域8は、イオン注入とそれに続く拡散によって形成された高ドーブのn形領域である。第2図に示すように、従来のトランジスタのこの例は周知の

低(軽)ドーブドレイン構造によって形成されており、低ドーブ領域18の注入は(一般に側壁酸化物フィラメント16の形成前に)ゲート電極10に対する自己整合法で行われる。側壁酸化物フィラメントを用いて低ドーブドレイントランジスタを形成する方法の一例は、Texas Instruments社に譲渡された1982年11月2日付け発行の米国特許第4,356,623号に記載されており、この参照によってここに含まれるものとする。第1及び2図のソース及びドレイン両領域6、8の高ドーブ部分は、ゲート電極10と側壁酸化物フィラメント16に対する自己整合法で形成されたものとして示しており、メサ5の表面から絶縁体膜4との境界まで完全に延びている。ボディノード領域12は、ソース及びドレイン両領域6、8を形成するのに使われたn形ドーバンドでドーブされていないp-チャネル領域であるが、最初に形成されたのと同じ導電形及び濃度(ソース及びドレイン両領域6、8のドーバンド濃度に対してわずかにドーブされているp形シリコン)に留まっ

て、電気的に絶縁されている。ソース及びドレイン両領域6、8がメサ5の厚さ一杯に延びて絶縁体膜4に達しており、且つソース及びドレイン両領域6、8の自己整合によって、ボディノード12はゲート電極10(及び側壁酸化物フィラメント16)の下方にだけ存在するため、第1及び2図の構造ではボディノード12との接触を形成するのが不便である。従って従来のSOI技術では、各MOSトランジスタのボディノード12が浮遊状態になっている。

SOIトランジスタの浮遊ボディノードは、トランジスタの性能及び性能の安定性において幾つかの問題をもたらす。第1の問題は、基板2をゲート電極とし、絶縁体膜4をゲート誘電物とした寄生の“バックチャネル”トランジスタの存在である。このバックチャネルは、トランジスタの配置位置における基板2の局所的電位に応じ、絶縁体膜4との境界面近くでボディノード12に沿ってドレイン-ソース間のリーク路を与えることがある。さらに、ボディノード12の電圧がトラン

じる。

尚第2図には、ニケイ化チタンなどリフラクトリ(難溶融性)金属のシリサイド膜22が、ソース及びドレイン両領域6、8並びにゲート電極10のクラディングとして示してある。このようなシリサイド化は、半導体層のシート抵抗を減らすのに有用で、例えばTexas Instruments社に譲渡された1987年9月1日付け発行の米国特許第4,690,730号に記載されているような周知の自己整合式直接反応シリサイド化法に従ってなされるのが好ましく、上記特許はこの参照によってここに含まれるものとする。但し、かかるシリサイド化はもちろんトランジスタの動作にとって不可欠なものではない。モリブデン、タングステン及びコバルトなど、シリサイド化で通常使われている周知のリフラクトリ金属の任意の一つを、チタンに代えシリサイド膜22の形成に使ってもよい。

第1及び2図のトランジスタ1の場合、ボディノード12は第1及び2図のトランジスタ内で電

ジスタのしきい電圧(V<sub>i</sub>)に影響を及ぼすこともよく知られている。バルクデバイスでは、MOSトランジスタのボディノードが基板によってバイアスされているが、第1及び2図のトランジスタ1の誘電的に絶縁されたボディノード12は、ボディノード12とゲート電極10間での容量結合及びボディノード12とソース及びドレイン両領域6、8間でのダイオード結合を許容し、ボディノード12を望ましくない電位にバイアスする。また、ドレイン近くのキャリアが電子-正孔対の発生に充分な高電位にあるとき衝撃イオン化が発生すると、その結果少数キャリアがドレインへと移動する一方、多数キャリアがボディノードへと移動するため、ボディノード12とソース領域6との間に電圧差を生じ、実効しきい電圧を低下させると共に、ドレイン電流を増大させる(すなわちよく知られた“キンク(よじれ)”効果を引き起こす)。

次に第3及び4図を参照すると、本発明に従って構成されたトランジスタ100が示してある：

尚、第1及び2図の従来のトランジスタ1で用いたのと同じ構成要素を示すのに、同じ参照番号が使われている。トランジスタ100は以下説明するように、従来のトランジスタ1に関連して上述した浮遊ボディノードの問題を軽減するため、ソース及びボディ両ノード間に接触を含んでいる。第3図の平面図は、ゲート電極10（及び側壁酸化物フィラメント16）に隣接して、メサのエッジに設けられたp+接触領域30を示している。トランジスタ100の導通チャネルはエッジの接触領域30間で、ソース側のゲート電極10のエッジに沿って残っている。尚、第3図の平面図はトランジスタ100のシリサイド化前の状態である；以下説明するように、表面でソース領域6をp+接触領域30へ接続することによって、ソース領域6からゲート電極10下方のボディノード12への電気接続を与えるのに、シリサイドクラディングを用いるのが好ましい。

また、p+接触領域30をメサ5のエッジに配置することは、ボディノード12とソース領域6

エッジへの接触領域30の配置は、ソース領域6のドーパントをゲート電極10側のメサ5のエッジから分離することによって、上記のような増倍拡散に基づくソース/ドレイン間リークを減少させ、ボディ領域12への増倍拡散がドレイン側からだけ生じるようにする。さらに、メサ5のエッジへの接触領域30の配置は、メサ5のエッジに沿ってボディ領域12を通り拡散するドレイン領域8からのドーパント間にp+領域を置くことになるので、ドレイン領域8からゲート電極下方を完全に通って到達したドーパントは逆バイアスダイオードだけを形成する（接触領域30はソース領域6と同じ電位にある）。従って、メサ5のエッジへの接触領域30の配置は、ソース/ドレインドーパントの増倍した界面拡散によるソース/ドレイン間リークを減少させる。

次に第4図を参照すると、トランジスタ100が断面図で示してある。この実施例では、第1及び2図のトランジスタ1と同じく、ソース領域6とドレイン領域8がp+接触領域30と同様メサ

との間の接触を与えるのに不可欠なものでないことに留意されたい。但し、親の米国特許出願第150,799号に記載されているように、メサのエッジにおけるp+接触領域30の存在は、イオン化放射に露出された場合にトランジスタ100のソースドレイン間でのリークを減少させる。

さらに、絶縁体膜4上に形成された活性半導体は多くのSOI技術において、バルク内の活性領域と比べ、比較的多数の転位（ディスロケーション）欠陥を含み得ることにも留意されたい。これらの転位、特にメサ5などのシリコンメサのエッジに沿った転位は、ソース及びドレイン両領域6、8を形成する拡散ドーパントがボディ領域12を通り、特にメサ5のエッジに沿って拡散するのを許容することがある。この増倍拡散は、トランジスタ100におけるしきい値以下リークなどのショートチャネル効果を引き起こす可能性があり、もし拡散ドーパントがソース領域6とドレイン領域8間一杯に延びていると、ドレイン領域8をソース領域6にショートさせてしまう。メサ5のエ

5の全厚を貫いて延びている。尚、p+接触領域30はボディノード12と接触するのに、必ずしもこのように絶縁体膜4まで完全に延びていなくともよい。但し、接触領域は、導通時トランジスタ100のチャネル下方で空乏層の状態に留まっているボディ領域と接触するのに充分な深さまで延びていなければならない。

また第4図は、シリコン構造（ソース領域6、p+接触領域30、ドレイン領域8、及びゲート領域10）の表面にシリサイド膜22が設けられていることも示している。例えば上側に位置する絶縁体膜を貫いてメタライズ層に至る通常の接点など、それ以外の相互接続手段によってp+接触領域30とソース領域6との間にオーミック接続を形成することもできるが、シリサイド膜22は追加のマスキング工程を必要とせず両者間での低抵抗の接続を与える。

さらに第4図を参照すれば、p+接触領域30は、ゲート電極10側で側壁フィラメント16の下側に位置した低ドーパのドレイン延長部38を

含む。低ドーブのドレイン延長部38はもちろん、ボディノード12との接触形成にとって不可欠なものではない。しかし、ソース領域6とp+接触領域30間での接触を与えるのにシリサイド膜22が使われる場合、それぞれソース及びドレイン両領域6、8(並びにp+接触領域30)上のシリサイド膜22がゲート電極10の表面上のシリサイド膜22と電気ショートしないように、側壁酸化物フィラメント16を用いるが好ましい。当該分野で知られているように、側壁酸化物フィラメント16の使用は、トランジスタにおける傾斜接合の形成を促すほか、上記のようなショートの危険を最小限としつつ、ソース、ドレイン及びゲート各領域の自己整合によるシリサイド化も可能とする。本発明のこの実施例によれば、こうした利点が、p+接触領域30の低ドーブドレイン延長部38さえ含め、p+接触領域30とボディノード12間の接合に顕著な影響を及ぼすことなく達成される。以下説明するように、特にCMOSの用途でp+接触領域30の低ドーブドレイン延

長部38を含めることは、追加のマスキング工程を必要とせずソースボディ間接触の形成も可能とする。

尚、第3及び4図のトランジスタにおいて、p+接触領域30とドレイン領域8間の接触は存在しない点に留意されたい。従って、p+接触領域30はボディノード12との最良の接触を達成するため、p+接触領域30を通じたドレイン-ソース間での接合絶縁破壊の懸念なく、可能な限り強くドーブ可能である。チャネル長を1ミクロンとした場合、本発明によるトランジスタ100の各領域のドーピング濃度の一例では、ボディノード12が $10^{17}/\text{cm}^3$ の不純物濃度を有すると、p+接触領域30の不純物濃度は $10^{18} \sim 10^{21}/\text{cm}^3$ の範囲である。ソース及びドレイン両領域6、8は一般に $10^{18} \sim 10^{21}/\text{cm}^3$ の不純物濃度とでき、低ドーブドレイン領域18と38は所望のドーパント傾斜に応じ $10^{18} \sim 10^{20}/\text{cm}^3$ の範囲である。

次に第5a～5e図を参照して、CMOS回路

で形成されるようなn-チャネルトランジスタ100nとp-チャネルトランジスタ100pの形成における各工程を論じ、本発明によるソース-ボディ間接触がCMOSの製造過程で追加のマスキング工程を必要とせずに形成可能であることを示す。第5a～5e図の断面図は、第4図と同様の位置、すなわちソース-ボディ間の接触を有するトランジスタ100部分を通る位置に沿ったものである。第5a図には、2つのメサ5nと5pが絶縁体層4上に形成されたものとして示してある：メサ5nがn形シリコン、メサ5pがp形シリコンである。パターン化されたポリシリコンゲート電極10と同様、各メサ5nと5p上にゲート酸化物14が存在する；従って第5a図の構造は、ソース及びドレイン両領域6、8並びに接触領域30を形成する準備が整った状態にある。第5a図は、構造の一部分を覆う一方、p-チャネルトランジスタ100p用の低ドーブドレイン延長部18pとn-チャネルトランジスタ100nのソース-ボディ間接触用低ドーブドレイン延長部

38pを形成するために、p形注入が行われる部分を露出するマスク層40も示している。マスク層40はパターン化形成したフォトリソ、あるいはイオン注入を阻止するのに通常使われているようなハードマスク層とし得る。マスク層40のパターンは、最大の整合許容度を得るため、マスク層40がゲート電極10と重複すると共に、メサ5のエッジとも重複するように設計されるのが好ましい。第5a図に示すごとく、本構造はホウ素または別のp形ドーパントのp形注入に露出され、このような注入において通常の線量(ドーズ)及びエネルギーを用いて、低ドーブドレイン延長部18と38を形成する。

第5b図を参照すると、第5a図の注入後で、且つ第5a図のp形注入が行われた領域を保護すると共に、n形の低ドーブドレイン注入が行われるべき構造の領域を露出させるマスク層42の形成後における状態の構造が示してある。第5b図は、低ドーブドレイン延長部18pと38pがそれぞれほぼ最終深さにまで打ち込まれ(ドライブ

され)ていることを示している。尚、第5a～5b図に示した各々の注入は各マスクング工程の後直ちに打ち込まれるわけではなく、ここまでの4つの注入全てが行われた後には1回の打ち込みアニールが行われることに留意されたい。1回または複数回の打ち込みアニールを行う時点は、本発明による構造の製造にとって重要でない；但しマスクング工程の説明を分かりやすくするため、第5a～5d図には各注入後毎の打ち込みアニールが示してある。第5b図は、n形（ヒ素、リン、またはその他通常のドーパント）の低ドーパドレイン注入を、通常の線量及びエネルギーで受け入れる状態の構造を示している。

次に第5c図を参照すると、強いp形のソース／ドレイン注入を受ける時点のトランジスタ100nと100pが示してある。当該分野で周知のごとく傾斜接合が得られるように、トランジスタ100pの領域18pの一部とトランジスタ100nの領域38pを強いソース／ドレイン注入から保護するため、側壁酸化物フィラメント16が各ゲート

8p及び30pをn形のソース／ドレイン注入から保護すると共に、その注入を受け入れるトランジスタ100nと100pの領域を露出させる最終のソース／ドレインパターンマスク層52も示してある。従って第5d図の注入は最終的に、トランジスタ100nにソース及びドレイン領域6n、8nをそれぞれ形成し、また第3及び4図に示したトランジスタ100のp+接触領域30と同様な、トランジスタ100pのソース領域6pとボディノード間接触のためのn+接触領域30nも形成する。

打ち込みアニール後の、第5d図の注入の結果が第5e図に示してある。第4図に示したのと同様、ソース領域6nとドレイン領域8nがトランジスタ100nに形成されている。p-チャネルトランジスタ100pでは、トランジスタ100pのソース領域6pとボディノード12n間を接触するように、低ドーパドレイン延長部38nを有するn+接触領域30nが存在する。第5e図の構造はこの後、前述したように直接反応のシリ

電極10の両側面に隣接した所定箇所に施されている。側壁酸化物フィラメント16は、TEOSの分解などによって酸化物層を被着した後、酸化物を非等方エッチングし、側壁酸化物フィラメント16をその後に残すことによって形成される。マスク層50は、n形の注入領域18nと38nをp形のソース／ドレイン注入から保護すると共に、p形の注入領域（フィラメント16で保護されている部分を除く）を露出するように形成されている。尚、マスク層50を形成するのに使われるパターンは、マスク層40を形成するのに用いたパターンと等しくし得る。次いで第5c図に示すように、p形のソース／ドレイン注入が、かかる注入において通常の線量とエネルギーに従って行われる。

第5d図は、トランジスタ100pにソース領域6pとドレイン領域8pが存在し、トランジスタ100nにトランジスタ100nのボディノードと接触するp+接触領域30pが存在することを示している。また第5d図には、p+領域6p、

サイド化工程に付され、それぞれの接触領域30nと30pを介して、ソースノード6p、6nとボディノード12n、12p間のオーミック接続がそれぞれ得られる。

第5a～5e図に示した工程から明らかなように、SOI CMOSの製造過程に実施した場合、本発明によるソースボディ間接触を形成するのに、追加のマスクング工程は全く必要ない。尚、注入を行う順序（すなわちn形より前にp形の注入順序）は任意であることに留意されたい。得られる構造は、所望ならp形より前にn形の注入を行っても同等に形成し得る。

第6図は、本発明の第2実施例に従って構成されたトランジスタ200を平面図で示している。トランジスタ200は第3図のトランジスタ100と同じく、p+接触領域30をソース領域6へ接続するためのシリサイド化前の状態で示してある。トランジスタ200は、メサ5のエッジだけでなく、トランジスタ200の内部にも配された多数のp+接触領域30を有する。トランジスタ200

のように、大きいチャネル幅対長さ比のため追加の駆動能力を持つ必要があるSOIトランジスタでは、ボディノード12が比較的低いドーピング濃度のため、ソース領域6からp+接触領域30を通じ、比較的長い幅にわたって一様なバイアスを受け取らないことがある。従って、下側に位置したボディノード12の幅全体にわたってより一様なバイアスを与えるように、内部側のp+接触領域30が設けられている。ある一組のプロセスパラメータ及びジオメトリに従って作製されたトランジスタの特性表示は、上記のような一定のバイアスを与えるのに、接触領域30は一定の距離以下でなければならないことを示す場合がある。従ってこの場合、複数の接触領域30の間隔は第6図に示したように必ずしも一様でなくてもよいが、接触領域30は特定の距離以下で離間される。

尚、特に狭いトランジスタでは、ボディノード12を一様にバイアスするのに、ソース領域6の一方のエッジに設けた1つの接触領域30で十分なこともある。各接触領域30はトランジスタの

が含まれることもある；このような場合、接触領域30は同一の注入マスクレベルを用いて除外し得る。

次に第7及び8図を参照すると、本発明に従って構成されたトランジスタ100が示してある；尚、第1及び2図の従来のトランジスタ1で用いたのと同じ構成要素を示すのに、同じ参照番号が使われている。トランジスタ100は以下説明するように、従来のトランジスタ1に関連して上述した浮遊ボディノードの問題を軽減するため、ソース及びボディ両ノード間に接触を含んでいる。第7図の平面図は、ゲート電極10のソース側で、メサのエッジに設けられたp+接触領域30を示している。表面でp+接触領域30とゲート電極10との間に配設されたn形の低ドーブドレイン延長部19の存在を示すため、側壁酸化物フィラメント16は第7図に示していない。こうしてトランジスタ100の導通チャネルは、ソース側のゲート電極10のエッジ全長に沿って延び、p+接触領域30は導通チャネルから離れている。尚、

実効チャネル幅を減少させるので、接触領域30の数と大きさは、ボディノード12に充分一様なバイアスを与えるのに必要な最小限とするのが好ましい。

さらに、本発明によって設けられる接触領域30は、注入工程で使われるマスクを除き、メサ5またはゲート電極10の形成時に追加のパターン化を必要としないことに留意されたい。従って、注入段階の実施まで、トランジスタのどちら側がソースとなり、またどちら側がドレインとなるのかを指定する必要がない。つまり本発明は、ゲートアレイやその他のマスクプログラム可能な論理回路でトランジスタを形成するのに特に有利である。なぜなら、メサ5及びゲート10を形成するのに使われるマスクが同一プロセスで作製される全てのデバイスに共通となり、ゲートアレイの個別化（及びソースとドレインの特定）は注入マスクによって行われるからである。さらに、そのようなデバイスには、通過制御トランジスタなどボディノードとの接触が望ましくないトランジスタ

第7図の平面図はトランジスタ100のシリサイド化前の状態である；以下説明するように、表面でソース領域6をp+接触領域30へ接続することによって、ソース領域6からゲート電極10下方のボディノード12への電気接続を与えるのに、シリサイドクラディングを用いるのが好ましい。ゲート電極10のドレイン側には、低ドーブドレイン延長部18が示してある。

また、p+接触領域30をメサ5のエッジに配置することは、ボディノード12とソース領域6との間の接触を与えるのに不可欠なものでないことに留意されたい。但し、1988年2月1日出願され、Texas Instruments社に譲渡された係属中の米国特許出願第150,799号に記載されているように、メサのエッジにおけるp+接触領域30の存在は、イオン化放射に露出された場合にトランジスタ100のソースドレイン間でのリークを減少させる。

さらに、絶縁体膜4上に形成された活性半導体は多くのSOI技術において、バルク内の活性領

域と比べ、比較的多数の転位（ディスロケーション）欠陥を含み得ることにも留意されたい。これらの転位、特にメサ5などのシリコンメサのエッジに沿った転位は、ソース及びドレイン両領域6、8を形成する拡散ドーパントがボディ領域12を通り、特にメサ5のエッジに沿って拡散するのを許容することがある。この増倍拡散は、トランジスタ100におけるしきい値以下リークなどのショートチャネル効果を引き起こす可能性があり、もし拡散ドーパントがソース領域6とドレイン領域8間一杯に延びていると、ドレイン領域8をソース領域6にショートさせてしまう。メサ5のエッジへの接触領域30の配置は、ソース領域6のドーパントをゲート電極10側のメサ5のエッジから分離することによって、上記のような増倍拡散に基づくソース/ドレイン間リークを減少させ、ボディ領域12への増倍拡散がドレイン側からだけ生じるようにする。さらに、メサ5のエッジへの接触領域30の配置は、メサ5のエッジに沿ってボディ領域12を通り拡散するドレイン領域8

からのドーパント間にp+領域を置くことになるので、ドレイン領域8からゲート電極下方を完全に通って到達したドーパントは逆バイアスダイオードだけを形成する（接触領域30はソース領域6と同じ電位にある）。従って、メサ5のエッジへの接触領域30の配置は、ソース/ドレインドーパントの増倍した界面拡散によるソース/ドレイン間リークを減少させる。

次に第8図を参照すると、トランジスタ100が断面図で示してある。第8図は、ゲート電極10のソース側で側壁フィラメント16の下側に位置したn-型の低ドーブドレイン延長部19に隣接して、p+接触領域30が配設されていることを示している。低ドーブドレイン延長部19はn形なので、n+ソース領域6にオーミック接続されている。この実施例では、第1及び第2のトランジスタ1と同じく、ソース領域6とドレイン領域8がp+接触領域30と同様メサ5の全厚を貫いて延びている。尚、p+接触領域30はボディノード12と接触するのに、必ずしもこのよう

に絶縁体膜4まで完全に延びていなくともよい。但し、接触領域は、導通時トランジスタ100のチャネル下方で空乏層の状態に留まっているボディ領域と接触するのに十分な深さまでは延びていなければならない。

また第8図は、シリコン構造（ソース領域6、p+接触領域30、ドレイン領域8、及びゲート領域10）の表面にシリサイド膜22が設けられていることも示している。例えば上側に位置する絶縁体膜を貫いてメタライズ層に至る通常の接点など、それ以外の相互接続手段によってp+接触領域30とソース領域6との間にオーミック接続を形成することもできるが、シリサイド膜22は追加のマスキング工程を必要とせず両者間での低抵抗の接続を与えられる。当該分野で知られているように、側壁酸化物フィラメント16の使用は、トランジスタにおける傾斜接合の形成を促すほか、それぞれソース及びドレイン両領域6、8（並びにp+接触領域30）上のシリサイド膜22がゲート電極10の表面上のシリサイド膜22と電気

ショートする危険を最小限としつつ、ソース、ドレイン及びゲート各領域の自己整合によるシリサイド化も可能とする。

尚、第7及び8図のトランジスタにおいて、p+接触領域30とドレイン領域8間の接触は存在しない点に留意されたい。従って、p+接触領域30はボディノード12との最良の接触を達成するため、p+接触領域30を通じたドレイン-ソース間での接合絶縁破壊の懸念なく、可能な限り強くドーブ可能である。チャネル長を1ミクロンとした場合、本発明によるトランジスタ100の各領域のドーピング濃度の一例では、ボディノード12が $10^{17}/\text{cm}^3$ の不純物濃度を有すると、p+接触領域30の不純物濃度は $10^{18} \sim 10^{21}/\text{cm}^3$ の範囲である。ソース及びドレイン両領域6、8は一般に $10^{18} \sim 10^{21}/\text{cm}^3$ の不純物濃度とでき、低ドーブドレイン領域18と19は所望のドーパント傾斜に応じ $10^{18} \sim 10^{21}/\text{cm}^3$ の範囲である。

次に第9a～9c図を参照して、CMOS回路

で形成されるようなn-チャネルトランジスタ100nとp-チャネルトランジスタ100pの形成における各工程を論じる。第9a~9e図の断面図は、第8図と同様の位置、すなわちソースボディ間の接触を有するトランジスタ100部分を通る位置に沿ったものである。第9a図には、2つのメサ5nと5pが絶縁体層4上に形成されたものとして示してある；メサ5nがn形シリコン、メサ5pがp形シリコンである。パターン化されたポリシリコンゲート電極10と同様、各メサ5nと5p上にゲート酸化物14が存在する；従って第9a図の構造は、ソース及びドレイン両領域6、8並びに接触領域30を形成する準備が整った状態にある。第9a図は、構造の一定部分を覆う一方、p-チャネルトランジスタ100p用の低ドーブドレイン延長部18pと19pを形成するために、p形注入が行われる部分を露出するマスク層40も示している。マスク層40はパターン化形成したフォトリソ、あるいはイオン注入を阻止するのに通常使われているようなハ

ードマスク層とし得る。マスク層40のパターンは、最大の整合許容度を得るため、マスク層40がゲート電極10と重複すると共に、メサ5のエッジとも重複するように設計されるのが好ましい。第9a図に示すごとく、本構造はホウ素または別のp形ドーバントのp形注入に露出され、このような注入において通常の線量（ドーズ）及びエネルギーを用いて、低ドーブドレイン延長部18と19を形成する。

第9b図を参照すると、第9a図の注入後で、且つ第9a図のp形注入が行われた領域を保護すると共に、n形の低ドーブドレイン注入が行われるべき構造の領域を露出させるマスク層42の形成後における状態の構造が示してある。第9b図は、低ドーブドレイン延長部18pと19pがそれぞれほぼ最終深さにまで打ち込まれ（ドライブされ）ていることを示している。尚、第9a~9b図に示した各々の注入は各マスキング工程の後直ちに打ち込まれるわけではなく、ここまでの4つの注入全てが行われた後には1回の打ち込みアニ

ールが行われることに留意されたい。1回または複数回の打ち込みアニールを行う時点は、本発明による構造の製造にとって重要でない；但しマスキング工程の説明を分かりやすくするため、第9a~9d図には各注入後毎の打ち込みアニールが示してある。第9b図は、n形（ヒ素、リン、またはその他通常のドーバント）の低ドーブドレイン注入を、通常の線量及びエネルギーで受け入れる状態の構造を示している。

次に第9c図を参照すると、強いp形のソース／ドレイン注入を受ける時点のトランジスタ100nと100pが示してある。傾斜接合が得られるように、トランジスタ100pの領域18pとトランジスタ100nの領域19nの各一部を強いソース／ドレイン注入から保護するため、側壁酸化物フィラメント16が各ゲート電極10の両側面に隣接した所定箇所に施されている。側壁酸化物フィラメント16は、前出米国特許第4,356,623号に記載されているように、TEOSの分解などによって酸化物層を被着した後、酸化物を非等方

エッチングし、側壁酸化物フィラメント16をその後に残すことによって形成される。マスク層50は、n形注入領域18nと領域19nの大部分をp形のソース／ドレイン注入から保護するように形成されている。p形接触領域30p（後で示す）がp形のソース／ドレイン注入によって形成可能なように、側壁酸化物フィラメント16に隣接した領域19nの一部はマスク層50で保護されていない。またマスク層50は、p形注入領域18p（フィラメント16によって保護されている部分を除く）と領域19pの大部分を、p+ソース／ドレイン注入に対して露出させている；n+接触領域30n（後で示す）を形成するのに必要な注入がp+のソース／ドレイン注入を必要としないように、側壁酸化物フィラメント16に隣接した領域19pの一部はマスク層50で保護されていない。次いで第9c図に示すように、p形のソース／ドレイン注入が、かかる注入において通常の線量とエネルギーに従って行われる。

第9d図は、トランジスタ100pにソース領

域6pとドレイン領域8pが存在し、トランジスタ100nにトランジスタ100nのボディノードと接触するp+接触領域30pが存在することを示している。また第9d図には、p+領域6p、8p及び30pをn形のソース/ドレイン注入から保護すると共に、その注入を受け入れるトランジスタ100nと100pの領域を露出させる最終のソース/ドレインパターンマスク層52も示してある。従って第9d図の注入は最終的に、トランジスタ100nにソース及びドレイン領域6n、8nをそれぞれ形成し、また第7及び8図に示したトランジスタ100のp+接触領域30と同様な、トランジスタ100pのソース領域6pとボディノード間接触のためのn+接触領域30nも形成する。

打ち込みアニール後の、第9d図の注入の結果が第5e図に示してある。第8図に示したのと同様、ソース領域6nとドレイン領域8nがトランジスタ100nに形成されている。p-チャネルトランジスタ100pでは、シリサイドされたと

きトランジスタ100pのソース領域6pとボディノード12n間を接触するように、n+接触領域30nがp形の低ドープドレイン延長部19pに隣接している。第9e図の構造はこの後、前述したように直接反応のシリサイド化工程に付され、それぞれの接触領域30nと30pを介して、ソースノード6p、6nとボディノード12n、12p間のオーミック接続がそれぞれ得られる。

第9a~9e図に示した工程から明らかなように、SOI CMOSの製造過程に実施した場合、本発明によるソース-ボディ間接触を形成するのに、追加のマスキング工程は全く必要ない。尚、注入を行う順序（すなわちn形より前にp形の注入順序）は任意であることに留意されたい。得られる構造は、所望ならp形より前にn形の注入を行っても同等に形成し得る。

第10図は、本発明の第4実施例に従って構成されたトランジスタ200を平面図で示している。トランジスタ200は第7図のトランジスタ100と同じく、p+接触領域30をソース領域6へ接

触するためのシリサイド化前の状態で示してある。トランジスタ200は、メサ5のエッジだけでなく、トランジスタ200の内部にも配された多数のp+接触領域30を有する。トランジスタ200のように、大きいチャネル幅対長さ比のため追加の駆動能力を持つ必要があるSOIトランジスタでは、ボディノード12が比較的低いドーピング濃度のため、ソース領域6からp+接触領域30を通じ、比較的長い幅にわたって一様なバイアスを受け取らないことがある。従って、下側に位置したボディノード12の幅全体にわたってより一様なバイアスを与えるように、内部側のp+接触領域30が設けられている。ある一組のプロセスパラメータ及びジオメトリに従って作製されたトランジスタの特性表示は、上記のような一定のバイアスを与えるのに、接触領域30は一定の距離以下でなければならないことを示す場合がある。従ってこの場合、複数の接触領域30の間隔は第10図に示したように必ずしも一様でなくてもよいが、接触領域30は特定の距離以下で離間され

る。

尚、特に狭いトランジスタでは、ボディノード12を一様にバイアスするのに、ソース領域6の一方のエッジに設けた1つの接触領域30で充分なこともある。各接触領域30はトランジスタの実効チャネル幅を減少させるので、接触領域30の数と大きさは、ボディノード12に充分一様なバイアスを与えるのに必要な最小限とするのが好ましい。

さらに、本発明によって設けられる接触領域30は、注入工程で使われるマスクを除き、メサ5またはゲート電極10の形成時に追加のパターン化を必要としないことに留意されたい。従って、注入段階の実施まで、トランジスタのどちら側がソースとなり、またどちら側がドレインとなるのかを指定する必要がない。つまり本発明は、ゲートアレイやその他のマスクプログラム可能な論理回路でトランジスタを形成するのに特に有利である。なぜなら、メサ5及びゲート10を形成するのに使われるマスクが同一プロセスで作製される

全てのデバイスに共通となり、ゲートアレイの個別化（及びソースとドレインの特定）は注入マスクによって行われるからである。さらに、そのようなデバイスには、通過制御トランジスタなどボディノードとの接触が望ましくないトランジスタが含まれることもある；このような場合、接触領域30は同一の注入マスクレベルを用いて除外し得る。

上記したトランジスタは、ソース領域6と同じ導電形の低ドーブドレイン領域19を、トランジスタの表面で接触領域30とボディノード12との間に設けたため、トランジスタのチャネル幅を減じることなくボディノード間の接続を与えられる。但しこの構造から、低ドーブドレイン領域19のうち接触領域30と隣接した部分を通じた電流の流れが、より強くドーブされたソース領域6へ達するまでにより長い経路を移動する必要があるため、トランジスタの直列“オン”抵抗のわずかな増加が必然的にもたらされる。しかし、増加する抵抗は低ドーブドレイン領域19がソース

領域6に隣接する箇所における低抵抗の電流路と平行であるため、上記直列抵抗の増加は最小である。このため本発明は、導通時のトランジスタのソース/ドレイン抵抗に対する影響を最小として、チャネル幅を減少させずにボディノード間の接続を与える。

次に第11図を参照すると、本発明の別の実施例の平面図が示してある。前述したように、特にメサ5のエッジに沿ったドレインドーバントの増倍拡散によるSOIトランジスタのエッジリークは、メサ5のエッジに接触領域30を配置することによって減少される。エッジリークを生じる増倍拡散はメサ5の底部（すなわち絶縁体層4との境界面）だけでなく、ゲート誘電体14下側の頂面でも発生し得るので、第11図に示したトランジスタ300では、エッジリークの減少がさらに得られる。トランジスタ300は、ソース領域6と同じ導電形（この例ではn形）の低ドーブドレイン延長領域19を有し、該領域19はゲート電極10の下側に位置したトランジスタ300とボ

ディ領域12の内部で、各接触領域30間の表面に配設されている。しかし、トランジスタ300のメサ5の両エッジに位置した接触領域30では、接触領域30と同じ導電形（この例ではp形）の低ドーブドレイン延長領域39が構造の表面に設けられている。この結果、増倍拡散のためのドーバント源を除去し（すなわち領域39からのドーバント拡散はボディ領域12と同じ導電形）、さらにそのような増倍拡散の発生時にメサ5の頂面でもダイオード分離を与えることによって、エッジリークは最小限化される。チャネルの全幅はもちろん低ドーブドレイン延長領域19によって減少されるが、それはメサ5の両エッジに位置した接触領域30によるものだけである。

第11図のトランジスタ300は、領域39の形成されるべき箇所がソース及びドレイン両領域6、8用に与えられる低ドーブドレイン注入を受けないようにマスクされねばならない点、またもちろん反対の導電形の低ドーブドレイン注入に露出されねばならない点を除き、トランジスタ100

及び200とほぼ同じ方法で作製できる。

以上好ましい実施例を参照して発明を詳しく説明したが、上記の説明は例示に過ぎず、制限の意味で解釈されるべきでないことが理解されるべきである。また、発明の実施例の詳細における多数の変更及び発明の追加の実施例が、本明細書を参照した当業者にとって自明で、それらを成し得ることも理解されるべきである。このような変更及び追加の実施例は、特許請求の範囲に限定された発明の精神及び其の範囲内に包含されるものである。

以上の記載に関連して、以下の各項を開示する。

1. 絶縁膜上に位置する半導体層に形成されたトランジスタにおいて：

前記半導体層のボディノード部上に位置するゲート電極で、該ボディノード部が第1の導電形で、第1及び第2側面を有する；

前記半導体層のドレイン領域で、該ドレイン領域が第2の導電形で、前記ボディノード部の第1側面に隣接して配設されている；

前記半導体層のソース領域で、該ソース領域が前記第2の導電形で、前記ボディノード部の第2側面に隣接して配設されている；

前記半導体層の第1接触領域で、該第1接触領域が前記第1の導電形で、前記ボディノード部の第2側面に隣接して配設されている；及び

前記第1接触領域と前記ソース領域間のオーミック接続で、該オーミック接続が前記第1接触領域と前記ソース領域上に位置したリフラクトリ金属のシリサイド膜からなる；

を備えたトランジスタ。

2. 前記第1接触領域が前記半導体層のエッジに沿って配設されている第1項のトランジスタ。
3. 前記ドレイン、ソース及び第1接触領域が前記半導体層の全厚を貫いて延びている第1項のトランジスタ。
4. 前記ゲート電極と前記ボディノード部に配設されたゲート誘電層をさらに備えた第1項のトランジスタ。
5. 前記ゲート電極の両側面に沿って配設された

ジに隣接して配設された第1項のトランジスタ。

13. 絶縁膜上に位置する半導体層に形成されたトランジスタにおいて：

前記半導体層のボディノード部に位置するゲート電極で、該ボディノード部が第1の導電形で、第1及び第2側面を有する；

前記半導体層のドレイン領域で、該ドレイン領域が第2の導電形で、前記ボディノード部の第1側面に隣接して配設されている；

前記半導体層のソース領域で、該ソース領域が前記第2の導電形で、前記ボディノード部の第2側面に隣接して配設されている；

前記半導体層の複数の接触領域で、該接触領域が前記第1の導電形で、前記ボディノード部の第2側面に隣接して配設されている；及び

前記接触領域の各々と前記ソース領域間のオーミック接続；を備え、

前記接触領域の第1及び第2が前記半導体層のエッジに隣接して配置されているトランジスタ。

側壁誘電フィラメントをさらに備えた第1項のトランジスタ。

6. 前記ドレイン領域が、前記半導体層の第1側面に隣接し側壁誘電フィラメントの下側に位置した低ドーブ領域を含む第5項のトランジスタ。
7. 前記ソース及び第1接触領域が各々、前記ボディノード部の第2側面に隣接しそれぞれ側壁誘電フィラメントの下側に位置した低ドーブ領域を含む第6項のトランジスタ。
8. 前記半導体層が前記絶縁膜上に位置したメサである第1項のトランジスタ。
9. 前記ボディノード部の第2側面に隣接して配設された前記第1の導電形の第2接触領域をさらに備えた第8項のトランジスタ。
10. 前記第2接触領域が前記メサの第2エッジに隣接して配設された第9項のトランジスタ。
11. 前記ボディノード部の第2側面に隣接して配設された前記第1の導電形の第2接触領域をさらに備えた第1項のトランジスタ。
12. 前記第2接触領域が前記半導体層の第2エ

14. 前記複数の接触領域が、前記ボディノード部の第2側面に沿って所定より小さい距離だけ相互に離間されている第13項のトランジスタ。

15. 前記半導体層が前記絶縁膜上に位置したメサである第13項のトランジスタ。

16. 前記第1及び第2接触領域が、それぞれ前記メサの第1及び第2エッジに沿って配設された第15項のトランジスタ。

17. 前記オーミック接続が前記ソース領域と前記各接触領域上に位置したリフラクトリ金属のシリサイド膜からなる第13項のトランジスタ。

18. 絶縁膜上に重ねて形成された集積回路において：

前記絶縁膜上に位置する半導体層に形成された第1トランジスタで：

第1の導電形である前記半導体層のボディノード部；

前記ボディノード部に位置するゲート電極；

前記半導体層のドレイン領域で、該ドレ

イン領域が第2の導電形で、前記ボディノード部に隣接して配設されている；

前記半導体層のソース領域で、該ソース領域が前記第2の導電形で、前記ドレイン領域と反対側で前記ボディノード部に隣接して配設されている；

前記半導体層の接触領域で、該接触領域が前記第1の導電形で、前記ボディノード部及び前記ソース領域に隣接して配設されている；及び

前記接触領域と前記ソース領域間のオーミック接続；

を備えた第1トランジスタ；及び

前記半導体層に形成された第2トランジスタで；

第2の導電形である前記半導体層のボディノード部；

前記ボディノード部に位置するゲート電極；

前記半導体層のドレイン領域で、該ドレ

イン領域が第1の導電形で、前記ボディノード部に隣接して配設されている；

前記半導体層のソース領域で、該ソース領域が前記第1の導電形で、前記ドレイン領域と反対側で前記ボディノード部に隣接して配設されている；

前記半導体層の接触領域で、該接触領域が前記第2の導電形で、前記ボディノード部及び前記ソース領域に隣接して配設されている；及び

前記接触領域と前記ソース領域間のオーミック接続；

を備えた第2トランジスタ；及び

を備えた集積回路。

19. 前記第1及び第2トランジスタのオーミック接続が各々、前記第1及び第2トランジスタのソース領域及び接触領域上に位置したリフラクトリ金属のシリサイド膜からなる第18項の集積回路。

20. 前記第1トランジスタが前記絶縁膜上に位置

した第1の半導体メサ内に形成され；さらに前記第2トランジスタが前記絶縁膜上に位置した第2の半導体メサ内に形成されている第18項の集積回路。

21. 前記ゲート電極の両側面に沿って配設された側壁誘電フィラメントをさらに備えた第18項の集積回路。

22. 前記ドレイン領域が、前記半導体層の第1側面に隣接し側壁誘電フィラメントの下側に位置した低ドーパ領域を含む第21項の集積回路。

23. 前記ソース及び第1接触領域が各々、前記ボディノード部の第2側面に隣接しそれぞれ側壁誘電フィラメントの下側に位置した低ドーパ領域を含む第22項の集積回路。

24. 前記オーミック接続が前記ソース領域及び第1接触領域上に位置したリフラクトリ金属のシリサイド膜からなる第23項の集積回路。

25. 絶縁膜上に位置した半導体層に集積回路を作製する方法において；

前記半導体層の第1及び第2部分を画成する

工程で、該第1及び第2部分がそれぞれ第1及び第2の導電形である；

前記第1及び第2部分の各々の上にゲート電極を形成する工程；

前記第1及び第2部分上に第1マスク層を施し、前記第1部分上のゲート電極のソース側に隣接した接触領域を露出し、また前記第2部分上のゲート電極のソース側に隣接したソース及びドレイン領域を露出する一方、前記第2部分上のゲート電極のソース側に隣接した接触領域を被覆し、また前記第1部分上のゲート電極に隣接したソース及びドレイン領域を被覆する工程；

前記第1及び第2部分の露出箇所を前記第1の導電形のドーパントでドーピングする工程；

前記第1及び第2部分上に第2マスク層を施し、前記第2部分の接触領域及び前記第1部分のソース及びドレイン領域を露出する一方、前記第1部分の接触領域及び前記第2部分のソース及びドレイン領域を被覆する工程；

前記第1及び第2部分の露出箇所を前記第2の導電形のドーパントでドーピングする工程；及び

前記第1及び第2部分のソース及び接触領域上にシリサイド膜を形成する工程；を含む方法。

26. 前記ドーピング工程が；

前記第1マスク層によって露出された部分に前記第1の導電形のドーパントイオンを注入する工程；

前記第2マスク層によって露出された部分に前記第2の導電形のドーパントイオンを注入する工程；及び

注入イオンをアニールして拡散させる工程；からなる第25項の方法。

27. 前記ドーピング工程が、前記半導体層のドーパ部分を半導体層の全厚を通じてドーピングする第25項の方法。

28. 前記シリサイド膜を形成する工程の前に；

前記ゲート電極の両側面上に側壁誘電フィラ

程より高く半導体層をドーピングする第28項の方法。

30. 前記画成工程が前記絶縁膜上に半導体層メサを形成することからなる第25項の方法。

31. 絶縁膜上に位置する半導体層に形成されたトランジスタにおいて；

前記半導体層のボディノード部に位置するゲート電極で、該ボディノード部が第1の導電形で第1及び第2側面を有し、該ゲート電極が前記絶縁膜と反対側の前記半導体層の表面上に位置する；

前記半導体層のドレイン領域で、該ドレイン領域が第2の導電形で、前記ボディノード部の第1側面に隣接して配設されている；

前記半導体層のソース領域で、該ソース領域が前記第2の導電形であり、且つ；

前記ボディノード部の第2側面に隣接した第1部分；及び

前記第1部分に隣接した第2部分で、前記第1部分よりも相対的に強くドーピングされている第

メントを形成し、ゲート電極に隣接した半導体層の一部を被覆する工程；

前記第1及び第2部分上に第3マスク層を施し、前記第1部分の接触領域及び前記第2部分のソース及びドレイン領域を露出する一方、前記第2部分の接触領域及び前記第1部分のソース及びドレイン領域を被覆する工程；

前記第1及び第2部分の露出箇所を前記第1の導電形のドーパントで追加ドーピングする工程；

前記第1及び第2部分上に第4マスク層を施し、前記第2部分の接触領域及び前記第1部分のソース及びドレイン領域を露出する一方、前記第1部分の接触領域及び前記第2部分のソース及びドレイン領域を被覆する工程；及び

前記第1及び第2部分の露出箇所を前記第2の導電形のドーパントで追加ドーピングする工程；

をさらに含む第25項の方法。

29. 前記追加ドーピング工程が前記ドーピング工

2部分；からなる；

前記半導体層の第1接触領域で、該第1接触領域が前記第1の導電形であり、前記ソース領域の第1部分と前記ソース領域の第2部分との間で前記ゲート電極と直角の方向に前記半導体層の表面に配設され、第1接触領域が前記ボディノード部と接触するように前記ソース領域の第1部分より深い深さを有する；及び

前記第1接触領域と前記ソース領域間のオーミック接続；を備えたトランジスタ。

32. 前記オーミック接続が前記ソース領域の第1部分と前記第1接触領域上に位置したリフラクトリ金属のシリサイド膜からなる第31項のトランジスタ。

33. 前記ドレイン、ソース及び第1接触領域が前記半導体層の全厚を貫いて延びている第32項のトランジスタ。

34. 前記ゲート電極と前記ボディノード部間に配設されたゲート誘電層をさらに備えた第31項

- のトランジスタ。
35. 前記ゲート電極に隣接した側壁誘電フィラメントをさらに備えた第31項のトランジスタ。
36. 前記ドレイン領域が：
- 前記ボディノード部の第1側面に隣接した第1部分；及び
- 前記第1部分に隣接した第2部分で、前記第1部分よりも相対的に強くドーピングされている第2部分；
- からなる第31項のトランジスタ。
37. 前記オーミック接続が前記ソース領域の深い部分と前記第1接触領域上に位置したリフラクトリ金属のシリサイド膜からなる第36項のトランジスタ。
38. 前記半導体層が前記絶縁膜上に位置したメサである第31項のトランジスタ。
39. 前記第1接触領域が前記メサの第1エッジに隣接して配設されている第38項のトランジスタ。
40. 前記第1の導電形であり、前記ソース領域の第1部分よりも相対的に強くドーピングされている第2部分；
- からなる第41項のトランジスタ。
43. 絶縁膜上に位置する半導体層に形成されたトランジスタにおいて：
- 前記半導体層のボディノード部に位置するゲート電極で、該ボディノード部が第1の導電形で第1及び第2側面を有し、該ゲート電極が前記絶縁膜と反対側の前記半導体層の表面上に位置する；
- 前記半導体層のドレイン領域で、該ドレイン領域が第2の導電形で、前記ボディノード部の第1側面に隣接して配設されている；
- 前記半導体層のソース領域で、該ソース領域が前記第2の導電形であり、且つ；
- 前記ボディノード部の第2側面に隣接した低ドーピング部分；及び
- 前記ドーピング部分に隣接した高ドーピング部分で、前記半導体層の表面から前記低ドーピング部分よりも深くまで延びている高ドーピング部分；からなる；
- 前記半導体層の複数の接触領域で、該接触領域が前記第1の導電形であり、各々前記ソース領域の低ドーピング部分と前記ソース領域の高ドーピング部分との間で前記ドーピング電極と直角の方向に前記半導体層の表面に配設され、また各々接触領域が前記ボディノード部と接触するように前記ソース領域の低ドーピング部分より深い深さを有する；及び
- 前記接触領域と前記ソース領域間のオーミック接続；
- を備えたトランジスタ。
44. 前記ボディノード部がほぼ一様にバイアスされるように前記複数の接触領域が相互に離間されている第43項のトランジスタ。
45. 前記半導体層が前記絶縁膜上に位置したメサである第43項のトランジスタ。
46. 第1接触領域が前記メサの第1エッジに隣接して配設されている第45項のトランジスタ。
47. 第2接触領域が前記メサの第2エッジに隣接

して配設されている第46項のトランジスタ。  
48. 絶縁膜上に重ねて形成された集積回路において:

前記絶縁膜上に位置する半導体層に形成された第1トランジスタで:

第1の導電形である前記半導体層のボディノード部;

前記絶縁膜と反対側の前記半導体層の表面で前記ボディノード部に位置するゲート電極;

前記半導体層のドレイン領域で、該ドレイン領域が第2の導電形で、前記ボディノード部に隣接して配設されている;

前記半導体層のソース領域で、該ソース領域が前記第2の導電形で、前記ドレイン領域と反対側で前記ボディノード部に隣接して配設された第1部分と、該第1部分に隣接して配設された第2部分とを有する;

前記半導体層の接触領域で、該接触領域が前記第1の導電形であり、前記ソース領域の

域が前記第1の導電形で、前記ドレイン領域と反対側で前記ボディノード部に隣接して配設された第1部分と、該第1部分に隣接して配設された第2部分とを有する;

前記半導体層の接触領域で、該接触領域が前記第2の導電形であり、前記ソース領域の第1部分と前記ソース領域の第2部分との間で前記ゲート電極と直角の方向に前記半導体層の表面に配設され、接触領域が前記ボディノード部と接触するように前記ソース領域の第1部分より深くまで前記半導体層の表面から延びている;及び

前記接触領域と前記ソース領域間のオーミック接続;

を備えた第2トランジスタ;

をさらに備えた第48項の集積回路。

50. 前記第1及び第2トランジスタのオーミック接続が各々、前記第1及び第2トランジスタのソース領域の第2部分及び接触領域上に位置したリフラクトリ金属のシリサイド膜からなる第

第1部分と前記ソース領域の第2部分との間で前記ゲート電極と直角の方向に前記半導体層の表面に配設され、接触領域が前記ボディノード部と接触するように前記ソース領域の第1部分より深くまで前記半導体層の表面から延びている;及び

前記接触領域と前記ソース領域間のオーミック接続;

を備えた第1トランジスタ;

を備えた集積回路。

49. 前記半導体層に形成された第2トランジスタで:

第2の導電形である前記半導体層のボディノード部;

前記半導体層の表面で前記ボディノード部に位置するゲート電極;

前記半導体層のドレイン領域で、該ドレイン領域が第1の導電形で、前記ボディノード部に隣接して配設されている;

前記半導体層のソース領域で、該ソース領

域が前記第1の導電形で、前記ドレイン領域と反対側で前記ボディノード部に隣接して配設された第1部分と、該第1部分に隣接して配設された第2部分とを有する;

48項の集積回路。  
51. 前記第1トランジスタが前記絶縁膜上に位置した第1の半導体メサ内に形成され;さらに前記第2トランジスタが前記絶縁膜上に位置した第2の半導体メサ内に形成されている第48項の集積回路。

52. 前記ゲート電極に隣接して側壁誘電フィラメントをさらに備えた第48項の集積回路。

53. 絶縁膜上に位置した半導体層に集積回路を作製する方法において;

前記半導体層の第1及び第2部分を画成する工程で、該第1及び第2部分がそれぞれ第1及び第2の導電形である;

前記第1及び第2部分の各々上にゲート電極を形成する工程;

前記第1部分上に第1マスク層を施し、前記第1部分上のゲート電極に隣接したソース及びドレイン領域を被覆する工程;

前記ゲート電極に隣接した前記第2部分のソース及びドレイン箇所を、前記第1の導電形の

ドーパントでドーピングする工程；

前記第2部分上に第2マスク層を施し、前記第2部分のソース及びドレイン領域を被覆する工程；

前記ゲート電極に隣接した前記第1部分のソース及びドレイン箇所を、前記第2の導電形のドーパントでドーピングする工程；

前記ゲート電極の両側面に側壁誘電フィラメントを形成し、前記半導体層のゲート電極に隣接した部分を被覆する工程；

前記第1及び第2部分上に第3マスク層を施し、前記ゲート電極のソース側で前記側壁誘電フィラメントに隣接した前記第1部分の接触領域と、前記第2部分のソース及びドレイン領域とを露出する一方、前記ゲート電極のソース側で前記側壁誘電フィラメントに隣接した前記第2部分の接触領域と、前記第1部分のソース及びドレイン領域とを被覆する工程；

前記第1及び第2部分の露出箇所を、前記第1の導電形のドーパントで追加ドーピング工程；

55. 前記ドーピング工程が、前記半導体層のドーブ部分を半導体層の全厚を通じてドーブする第53項の方法。

56. 前記追加ドーピング工程が前記ドーピング工程より高く半導体層をドーブする第53項の方法。

57. 前記画成工程が前記絶縁膜上に半導体層メサを形成することからなる第53項の方法。

58. 絶縁膜上に位置した半導体層に集積回路を作製する方法において；

第1の導電形である前記半導体層の活性部分を画成する工程；

前記活性部分上にゲート電極を形成する工程；

前記ゲート電極に隣接した前記活性部分のソース及びドレイン箇所を、第2の導電形のドーパントでドーピングする工程；

前記ゲート電極の両側面に側壁誘電フィラメントを形成し、前記活性部分のうち前記ゲート電極に隣接した部分を被覆する工程；

前記活性部分上に第1マスク層を施し、前記

前記第1及び第2部分上に第4マスク層を施し、前記第2部分の接触領域と前記第1部分のソース及びドレイン領域とを露出する一方、前記第1部分の接触領域と前記第2部分のソース及びドレイン領域とを被覆する工程；

前記第1及び第2部分の露出箇所を、前記第2の導電形のドーパントで追加ドーピングする工程；及び

前記第1及び第2部分のソース及び接触領域上にシリサイド膜を形成する工程；

を含む方法。

54. 前記ドーピング工程が；

前記第1マスク層によって露出された部分に前記第1の導電形のドーパントイオンを注入する工程；

前記第2マスク層によって露出された部分に前記第2の導電形のドーパントイオンを注入する工程；及び

注入イオンをアニールして拡散させる工程；  
からなる第53項の方法。

ゲート電極のソース側で前記側壁誘電フィラメントに隣接した前記活性部分の接触領域を被覆する一方、前記活性部分のソース及びドレイン領域を露出する工程；

前記第1マスク層によって露出されたソース及びドレイン領域を前記第2の導電形のドーパントでドーピングする工程；

前記接触領域を露出し、前記ソース及びドレイン領域を被覆する第2マスク層を施す工程；

前記第2マスク層によって露出された接触領域を前記第1の導電形のドーパントでドーピングする工程；及び

前記ソース及び接触領域上にシリサイド膜を形成する工程；

を含む方法。

59. 第1マスク層を施し、該第1マスク層によって露出されたソース及びドレイン領域をドーピングする前記工程が、第2マスク層を施して接触領域をドーピングする工程よりも先行する第58項の方法。

60. 第2マスク層を施し、接触領域をドーピングする前記工程が、第1マスク層を施し、該第1マスク層によって露出されたソース及びドレイン領域をドーピングする工程よりも先行する第58項の方法。

61. ゲート電極(10)のソース側(6)に、ボディノード(12)と接触する注入領域(30)を持つ絶縁体上シリコン(SOI)MOSトランジスタ(100)が開示される。ボディノード(12)と同じ導電形の接触領域(30)(例えばn-チャネルトランジスタではp+領域)は、ゲート電極(10)に対して自己整合法でソース領域(6)内に形成されている。次いで、例えばシリサイド化によって、隣接するソース領域(6)と接触領域(30)との間にオーミック接続が形成される。接触領域(30)はボディノード(12)と同じ導電形なので、トランジスタのソース(6)とボディ(12)間ノード間には非整流オーミック接続が形成される。SOI CMOS技術の場合、反対導電

形の領域をマスクングするのに必要なソース/ドレイン注入マスクが接触領域の形成に使えるので、接触領域の形成のために追加のマスクング工程は必要ない。

#### 4. 図面の簡単な説明

第1及び2図はそれぞれ従来のSOI MOSトランジスタの平面及び断面図、第3図はシリサイド化前の、本発明に従って構成されたSOI MOSトランジスタの平面図、第4図はシリサイド化後の、第3図のトランジスタの断面図、第5a~5e図は本発明によるp-チャネル及びn-チャネルトランジスタの各製造工程を示す断面図、第6図は本発明の第2実施例に従って構成されたSOI MOSトランジスタの平面図、第7図はシリサイド化前の、本発明の第3実施例に従って構成されたSOI MOSトランジスタの平面図、第8図はシリサイド化後の、第7図のトランジスタの断面図、第9a~9e図は本発明によるp-チャネル及びn-チャネルトランジスタの各製造工程を示す断面図、第10図は本発明の第4実施

例に従って構成されたSOI MOSトランジスタの平面図、第11図は本発明の第5実施例に従って構成されたSOI MOSトランジスタの平面図である。

100. 200. 300...トランジスタ、  
4...絶縁(体)膜、5...半導体層(メサ)、  
6...ソース領域、8...ドレイン領域、10...  
ゲート電極、12...ボディノード部、14...  
ゲート誘電層、16...側壁誘電フィラメント、  
18, 19, 38, 39...低ドーブ領域、22...  
シリサイド膜、30...接触領域、40,  
42, 50, 52...マスク層。

図面の浄番(内容に変更なし)

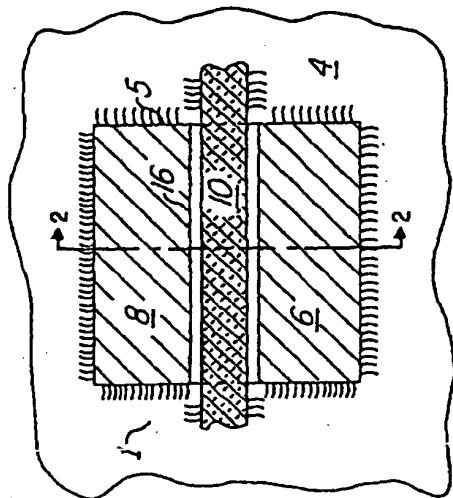


Fig. 1

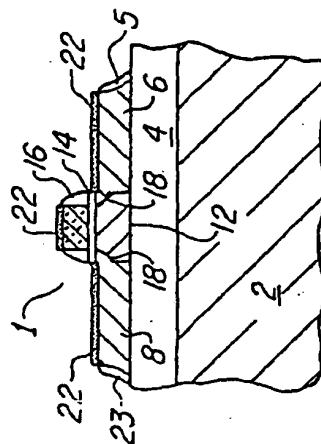


Fig. 2

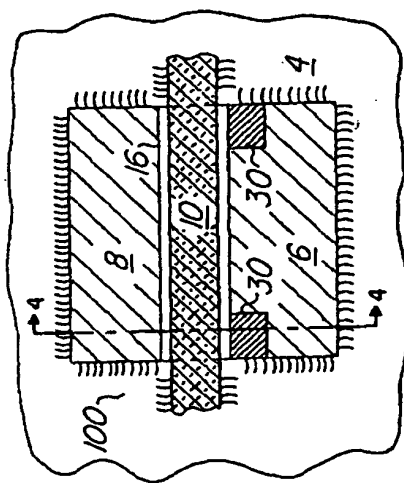


Fig. 3

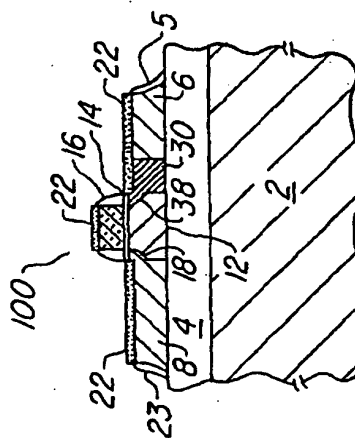


Fig. 4

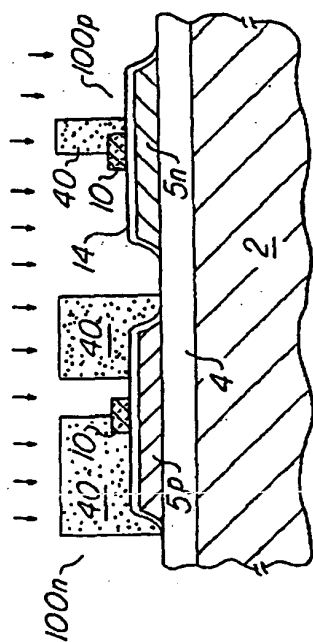


Fig. 5a

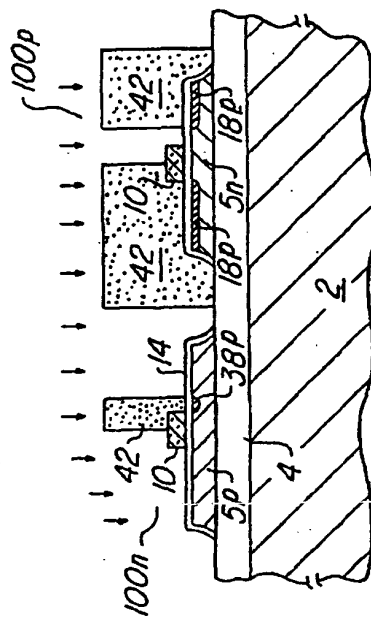


Fig. 5b

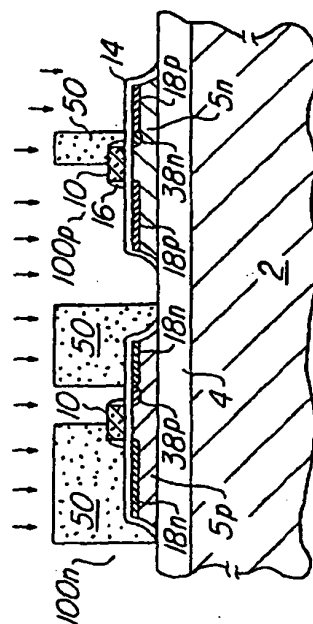


Fig. 5c

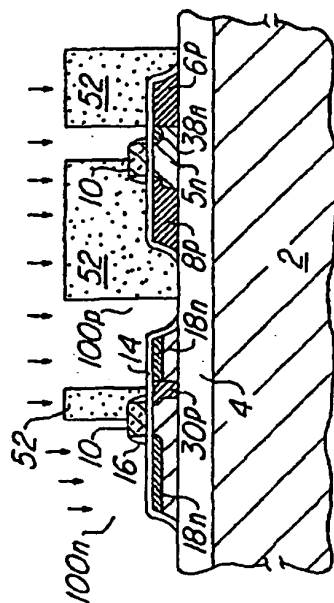


Fig. 5d

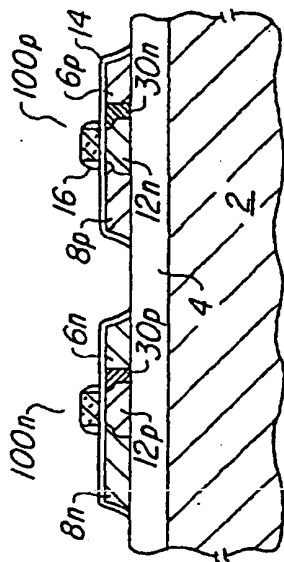


Fig. 5e

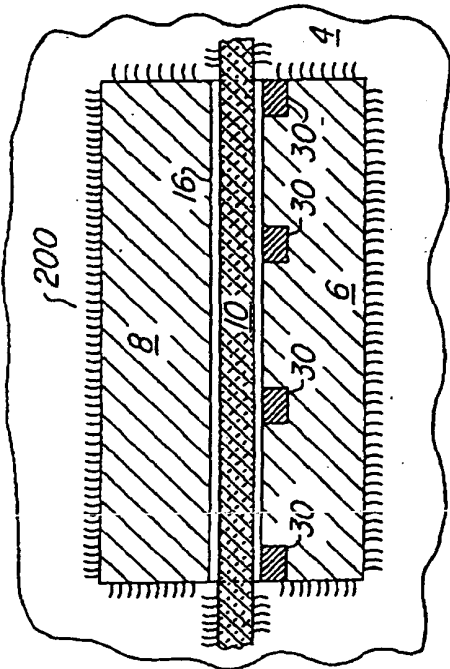


Fig. 6

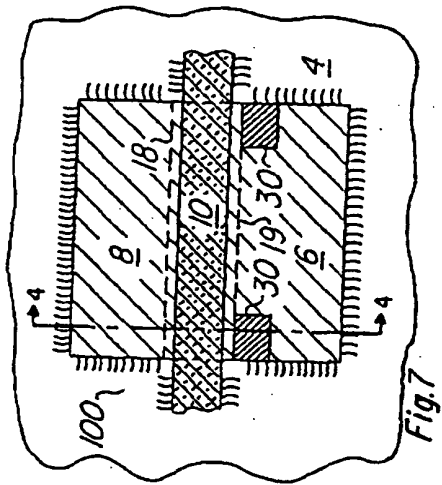


Fig. 7

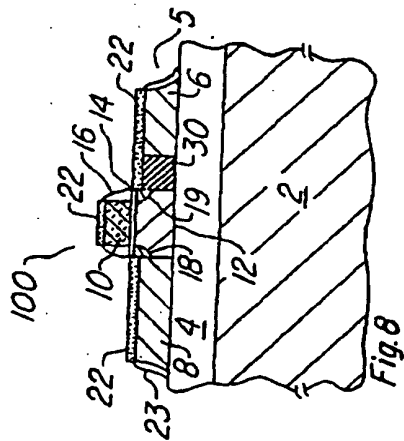


Fig. 8

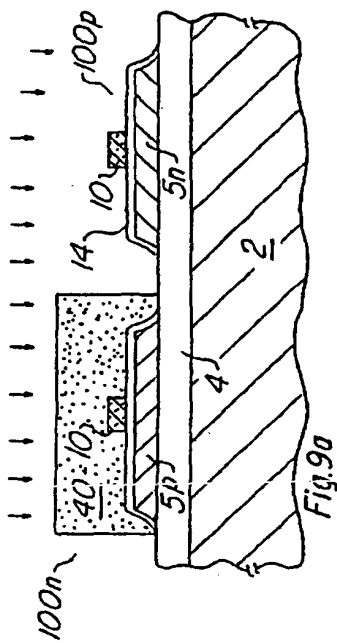


Fig. 9a

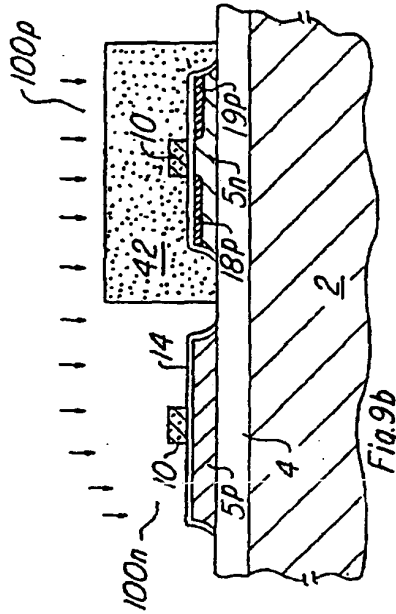


Fig. 9b

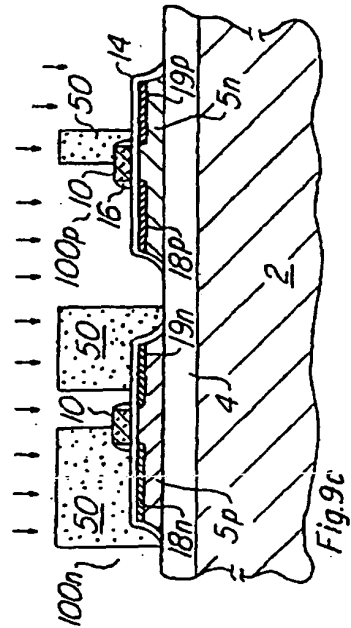


Fig. 9c

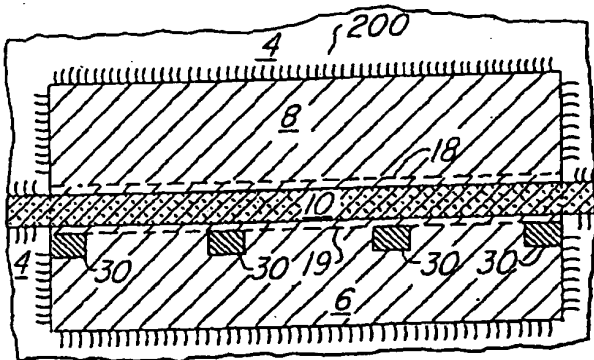


Fig. 10

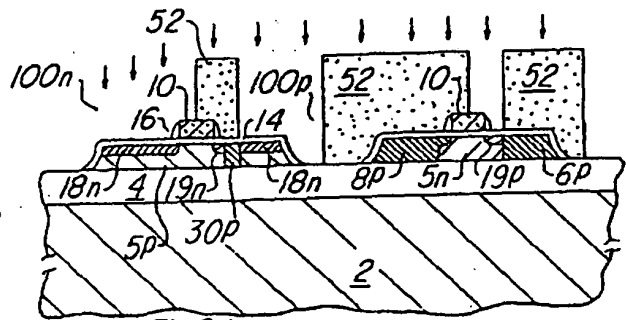


Fig. 9d

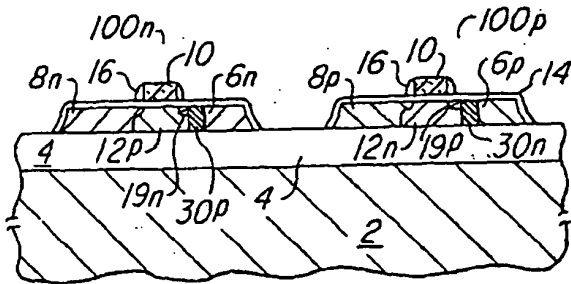


Fig. 9e

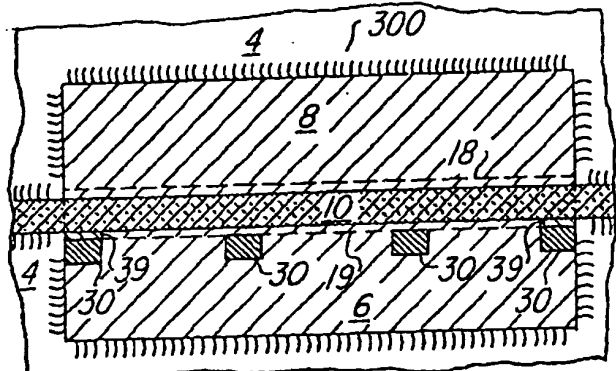


Fig. 11

第1頁の続き

優先権主張 ②1988年7月8日③米国(US)④216933

⑦発明者 シンダオ ルー アメリカ合衆国 テキサス州 75248 ダラス プレント  
フィールド ドライヴ 6933

手続補正書(方式)

1.11.24  
平成 年 月 日

特許庁長官 吉田文毅殿

1.事件の表示 平成1年特許願第175397号

2.発明の名称 ボディノードとソースノード間接続を  
含む絶縁物上シリコントランジスタ

3.補正をする者

事件との関係 出願人

名称 テキサス・インスツルメンツ  
インコーポレイテッド

4.代理人

住所 東京都千代田区丸の内3丁目3番1号  
電話(代)211-6741

氏名 (5995) 弁理士 中村

5.補正命令の日付 平成1年10月31日

6.補正の対象 図面(第1~11図)

7.補正の内容 別紙のとおり

明書に最初に添付した図面(第1~11図)の浄書  
(内容に変更なし)